

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

公開実用 昭和63-191651

① 日本国特許庁 (JP)

①実用新案出願公開

② 公開実用新案公報 (U)

昭63-191651

③Int.Cl.
H 01 L 23/50
23/04

識別記号

厅内整理番号

X-7735-5F
D-6835-5F

④公開 昭和63年(1988)12月9日

審査請求 未請求 (全頁)

⑤考案の名称 半導体装置

⑥実 領 昭62-82737

⑦出 領 昭62(1987)5月28日

⑧考案者 加藤 英治 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑨出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑩代理人 斎理士 尾川 秀昭

明細書

1. 考案の名称

半導体装置

2. 尖端新案登録請求の範囲

パッケージ内に収納された半導体素子の電極に接続されたリードがパッケージの外側面の高さ方向における中間部から突出せしめられた半導体装置において、

パッケージのリードが突出された部分から上側における外側面よりも下側における外側面の方が適宜内側に位置するようにされたことを特徴とする半導体装置

3. 考案の詳細な説明

以下の順序に従って本考案を説明する。

A. 産業上の利用分野

B. 考案の概要

C. 従来技術 [第4図]

528

1

公開実用 昭和63-191651

- D. 考案が解決しようとする問題点
- E. 問題点を解決するための手段
- F. 作用
- G. 実施例【第1図乃至第3図】
- H. 考案の効果

(A. 産業上の利用分野)

本考案は半導体装置、特にパッケージ内に収納された半導体素子の電極に接続されたりードからパッケージの外側面の高さ方向における中間部から突出せしめられた半導体装置に関する。

(B. 考案の概要)

本考案は、上記の半導体装置において、リードのパッケージ内の端部からプリント回路基板の配線等に接続される部分に至る長さを短くするため、

パッケージのリードが突出した部分よりも下側における外側部を切欠いて逃げを設けるようするものである。

529

(C. 従来技術) [第4図]

第4図はHEMT(高電子移動度トランジスタ)の従来例を示すもので、同図において、aはリードで、パッケージa上に配置されている。cは1つのリードb上にボンディングされたHEMT素子、d、dは該HEMT素子cの電極とそれに対応するリードb、bとの間を接続するとコネクトワイヤ、eはキャップで、その周縁部下端面にてパッケージa表面の周縁部に固定されている。

この第4図に示した従来の半導体装置においてはリードb、b、bがパッケージaとキャップeとからなる封止体の外側面の高さ方向における中間の高さのところから封止体外部に露出していた。

(D. 考案が解決しようとする問題点)

ところで、第4図に示すHEMTをプリント回路

530

3



公開実用 昭和63-191651

路基板 f (2点鎖線で示す) に装着する場合、
パッケージの底面をプリント回路基板 f 表面上
に位置させ、リード b、b、b…の封止体から導
出された部分の根元にて下側へ略直角に折り曲げ
られた部分の先端部をプリント回路基板 f 表面に
形成された配線膜に半田付けするという方法を採
るのが普通である。そして、リード b、b、b…
の折り曲げは普通リード b、b、bの封止体から
導出された部分の根元の下側に当て金 g を当て、
該当て金 g から外側へ出た部分を下側へ折り曲げ
るようにして行っている。このようにするのは、
リード b、b の折り曲げの際にレジンからなる
パッケージのリード b、b、b が露出した部分
が損傷されるのを避けるためである。そのため、
当て金 g の幅分の当て代 (しろ) が必要となるの
でリード b、b、b のコネクトワイヤ d に接続さ
れた内端部からプリント回路基板 f の回路に接続さ
れた部分に至る距離がその当て代分必然的に長
くなり、それがリードによるインダクタンスを大
きくする要因となっていた。

531

本考案はこのような問題点を解決すべく為されたものであり、リードの長さをより短くしてプリント回路基板等に取り付けることができるようになることによりリードによる高周波数特性の低下をより少くすることを目的とする。

(E. 問題点を解決するための手段)

本考案半導体装置は上記問題点を解決するため、パッケージのリードが突出した部分よりも下側における外側部を切り欠いて逃げを設けるようにすることを特徴とする。

(F. 作用)

本考案半導体装置によれば、リードをパッケージの外側面に設けた逃げの分パッケージ内部側の端子に近い位置にて下側に折り曲げることができるので、リードの半導体素子の電極に接続された部分からプリント回路基板に接続される部分に至る長さを短くすることができる。

公開実用 昭和63-191651

(G. 実施例) [第1図乃至第3図]

以下、本考案半導体装置を図示実施例に従って
詳細に説明する。

第1図及び第2図は本考案半導体装置の一つの
実施例を示すもので、第1図は断面図、第2図は
斜め下側から見た斜視図である。

図面において、1はHEMT素子2がボンディング
されたソースリード、3はゲートリード、
4はドレインリードである。5はリードと
HEMT素子2の電極パッドとの間を接続するコ
ネクトワイヤである。

6は樹脂からなるパッケージで、上記各リード
が一体に連絡されたリードフレームをモールド金
型ヘインサートしてのインサート成形により形成
されたものである。該パッケージ6はリード1、
3、4の上と下とで下側から見た外側面の位置が
違っており、リード1、3、4から下側の部分に
おいて外側面が例えば当て金との厚さ分切り欠か
れて当て金を逃げることができるようにされてい
る。6aはパッケージ6のリード1、3、4より

533



も下側の部分における外側面、6 bはリード1、3、4よりも上側の部分における外側面であり、外側面6 aが外側面6 bよりも内側に位置しているのである。

7は例えば樹脂からなるキャップで、パッケージ6の開口した上端面に接着されている。

このような半導体装置によれば、従来の場合よりもリード1、3、4を外側面6 aの切欠かれた大きさ分パッケージ内部側寄りの位置にて下側に折り曲げることができ、延いてはリードの実効長を短くすることができる。依って、リードにより生ずる寄生インダクタンスを小さくすることができる。尚、外側面6 aの切欠量、即ち、パッケージ6のリード1、3、4より上側の部分における外側面6 bと同じく下側の部分における外側面6 aとの下側から見た位置のずれ量は必ずしも当て金gの厚さと同じである必要はない。

第4図は本考案をパッケージが中実のタイプの半導体装置に適用した実施例を示す断面図である。本実施例においてもパッケージ6のリード



公開実用 昭和63-191651

1 よりも下側の部分の外側面 6 は上側の部分の外側面 6 によりも内側に寄っている。

尚、上記各実施例においては、パッケージ6のリード1よりも下側に位置する部分は全体的に外側面6aが切り欠かれていた。しかし、外側面6aのうちリードの下側にあたる部分のみ切り欠くようにしても良い。

(H. 考案の効果)

以上に述べたように、本考案半導体装置は、パッケージ内に収納された半導体素子の電極に接続されたリードがパッケージの外側面の高さ方向における中間部から突出せしめられた半導体装置において、パッケージのリードが突出された部分から上側における外側面よりも下側における外側面の方が適宜内側に位置するようにされたことを特徴とするものである。

従って、本考案半導体装置によれば、リードをパッケージの外側面に設けた逃げの分パッケージ内部側の端子に近い位置にて下側に折り曲げるこ

とができるので、リードの半導体素子の電極に接続された部分からプリント回路基板に接続される部分に至る長さを短くすることができ、延いてはリードによる寄生インダクタンスを小さくすることができる。

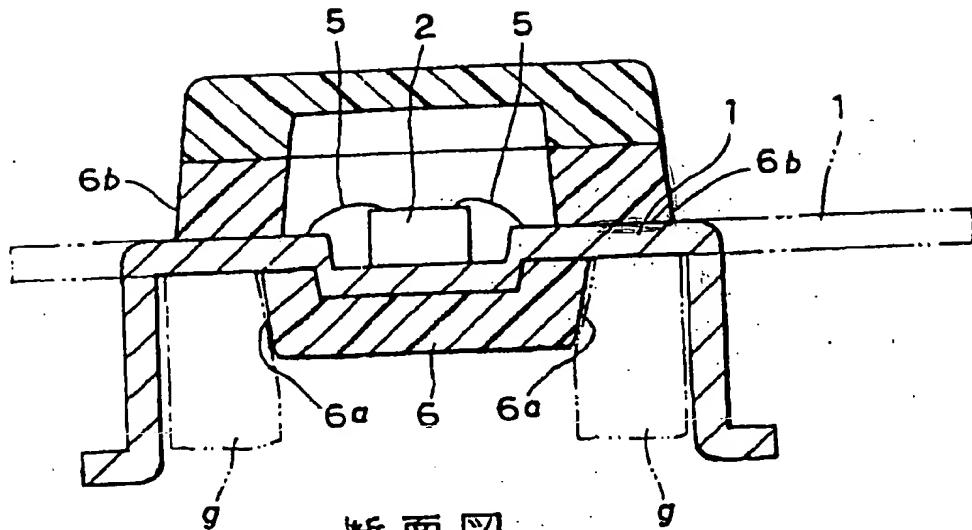
4. 図面の簡単な説明

第1図乃至第2図は本考案半導体装置の一つの実施例を説明するためのもので、第1図は断面図、第2図は斜め裏側から見た斜視図、第3図は本考案の別の実施例を示す断面図、第4図は従来例を示す断面図である。

符号の説明

- 1、3、4・・・：リード、
- 2・・・：半導体素子、5・・・：パッケージ、
- 6a・・・：パッケージのリードの下側における外側面、
- 6b・・・：パッケージのリードの上側における外側面。

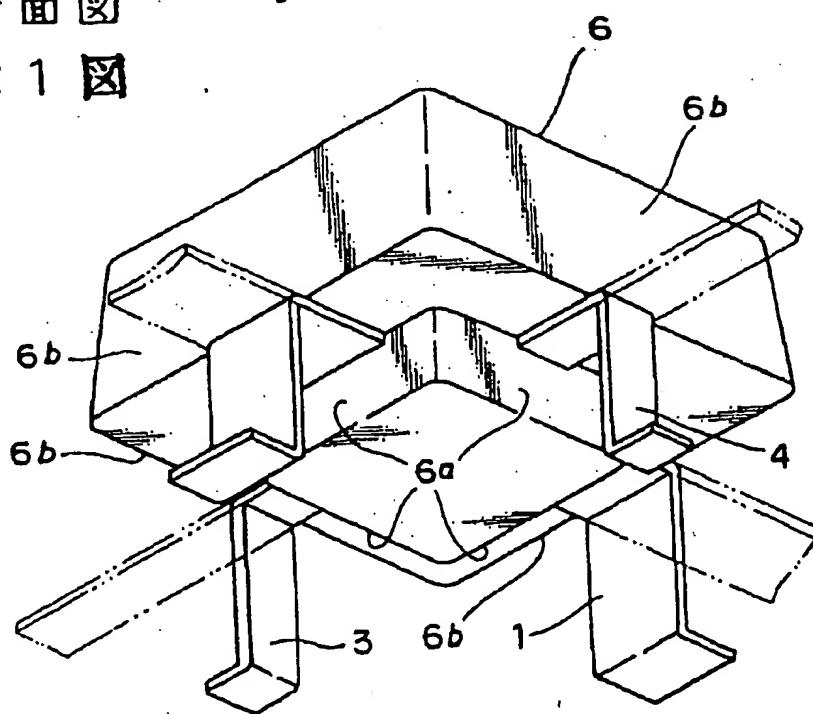
公開実用 昭和63-191651



断面図

第1図

- 1, 3, 4…リード
- 2…半導体素子
- 6…パッケージ
- 6a…リードの下側に
あける外側面
- 6b…リードの上側に
あける外側面



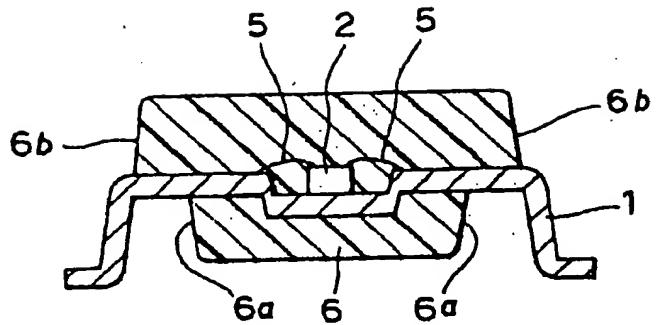
斜視図

第2図

537

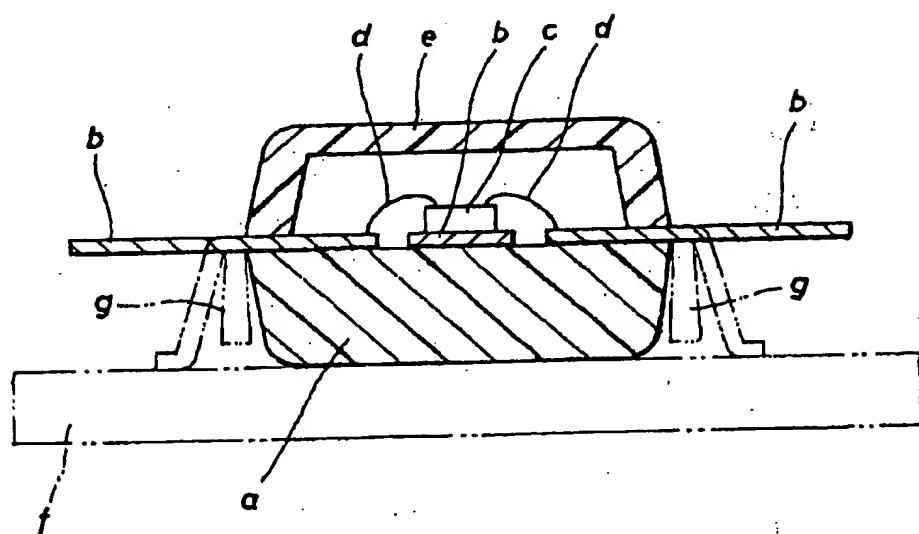
出願人
代理人弁理士

株式会社
ニ川秀昭
大開63-191651



1…リード
 2…半導体素子
 6…パッケージ
 6a…リードの下側における外側面
 6b…リードの上側における外側面

別の実施例の断面図
第3図



断面図(従来例)
第4図

538

実業63-191611
出願人ソニーリ株式会社
代理人川井

